

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-190551  
 (43) Date of publication of application : 30.07.1993

(51) Int.CI.

H01L 21/3205  
H01L 21/90

(21) Application number : 04-026029  
 (22) Date of filing : 17.01.1992

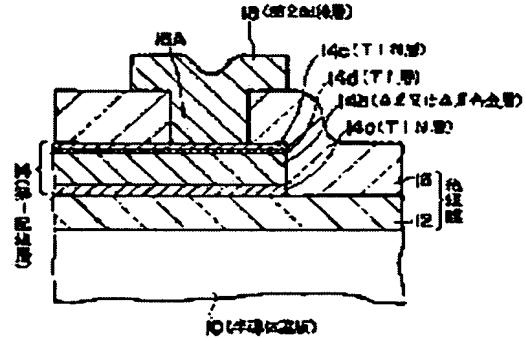
(71) Applicant : YAMAHA CORP  
 (72) Inventor : YAMAHA TAKAHISA

## (54) SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: To lessen the electrical resistance of the interlayer connection of a multilayer wiring structure where an antireflection film is provided to the lower wiring layer out of the upper and the lower wiring layer.

CONSTITUTION: A layer 14b of Al or Al alloy, a Ti layer 14d, and a TiN layer 14c are successively laminated on an insulating film 12 laid on the surface of a semiconductor substrate 10 to form a first wiring layer 14, and an interlayer isolation film 16 is provided covering the wiring layer 14. A connection hole 16A is provided to the interlayer isolation film 16, and then a second wiring layer 18 is formed so as to be connected to the first wiring layer 14 through the intermediary of the connection hole 16A. As the Ti layer 14d is formed between the layer 14b of Al or Al alloy and the TiN layer 14c which serves as an antireflection layer, the surface of the Ti layer 14d is slightly nitrided but the surface of the layer 14b of Al or Al alloy is never nitrided, and consequently an interlayer connection can sharply be lessened in electrical resistance.



## LEGAL STATUS

[Date of request for examination] 25.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2861583

[Date of registration] 11.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-190551

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. <sup>5</sup> H 01 L 21/3205 21/90	識別記号 A 7735-4M V 7735-4M 7735-4M	庁内整理番号 F I H 01 L 21/ 88	技術表示箇所 R
---	---	--------------------------------	-------------

審査請求 未請求 請求項の数1(全5頁)

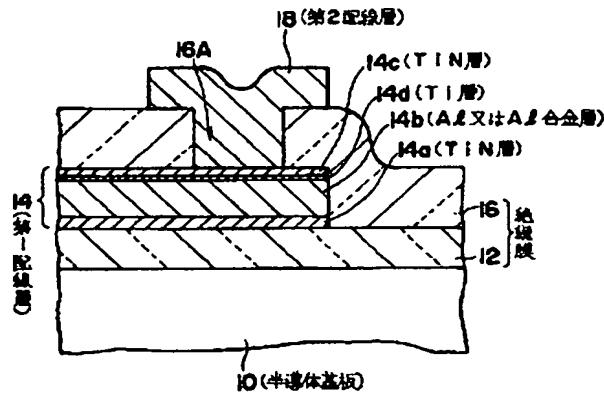
(21)出願番号 特願平4-26029	(71)出願人 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(22)出願日 平成4年(1992)1月17日	(72)発明者 山葉 隆久 静岡県浜松市中沢町10番1号ヤマハ株式会 社内
	(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 上下の配線層のうち下方の配線層の上に反射防止膜を設けた多層配線構造において、層間接続部の抵抗を低減する。

【構成】 半導体基板10の表面を覆う絶縁膜12の上にA1又はA1合金層14b、Ti層14d及びTiN層14cを順次に積層した形の第1配線層14を形成した後、配線層14を覆って層間絶縁膜16を形成する。そして、絶縁膜16に接続孔16Aを形成してから接続孔16Aを介して配線層14に接続されるように第2配線層18を形成する。A1又はA1合金層14bと反射防止膜としてのTiN層14cとの間にTi層14dを形成したので、TiN層14cを形成する際にはTi層14dの表面がわずかに窒化されるものの、A1又はA1合金層14bの表面が窒化されることなく、接続抵抗を大幅に低減可能である。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体装置において、該多層配線構造は、

- (a) 第1の絶縁膜と、
- (b) この第1の絶縁膜の上に形成された第1の配線層であって、A1又はA1合金層の上にTi層を介してTiNからなる反射防止膜を形成した構成のものと、
- (c) 前記第1の絶縁膜及び前記第1の配線層を覆って形成され、該第1の配線層の一部に対応した接続孔を有する第2の絶縁膜と、
- (d) この第2の絶縁膜の上に形成され、前記接続孔を介して前記第1の配線層に接続された第2の配線層とをそなえていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、LSI等の半導体装置における多層配線構造に關し、特に下層配線を構成するA1又はA1合金層の上面にTi層を介してTiNからなる反射防止膜を形成したことにより層間接続部の抵抗を低減可能としたものである。

## 【0002】

【従来の技術】従来、LSI等の半導体装置の多層配線構造としては、図3に示すものが知られている（例えば特開平2-235372号公報参照）。

【0003】図3において、10はシリコン等の半導体基板、12は基板表面に形成されたシリコンオキサイド等の絶縁膜、14は絶縁膜12上に形成され、TiN層14aとA1又はA1合金層14bとTiN層14cとを順次に積層して成る第1配線層、16は接続孔16Aを有する層間絶縁膜、18は絶縁膜16上に接続孔16Aを介して第1配線層14に接続されるように形成された第2配線層である。TiN層14aは、基板10に設けられた不純物ドープ領域（図示せず）との間にオーミックコンタクトを形成した場合に該不純物ドープ領域からのSi析出を阻止するためにいわゆるバリアメタル層として設けられたもので、基板とのオーミックコンタクトが不要な個所では省略されることもある。また、TiN層14cは、バーニング精度を向上させるために反射防止膜として用いられるものであり、これにはストレスマイグレーション耐性及びエレクトロマイグレーション耐性を向上させる効果もある。

【0004】図3に示す構成にあっては、第2配線層18が抵抗率の高いTiN層14cと接触するようになっているので、層間接続部で接触抵抗が大きくなる不都合がある。このような不都合をなくすため、図4に示すようにTiN層14cを接続孔16A内に露出する部分だけ選択的にエッチ除去してから第2配線層18を形成することが知られている（例えば特開平1-266746号公報参照）。図4において、図3と同様の符号は、図3と同様の構成要素を示す。

## 【0005】

【発明が解決しようとする課題】図4に示す構成にあっては、層間接続部にてTiN層14cを除去したので、接触抵抗を低減できるものの、エレクトロマイグレーション耐性が劣化するという問題がある。すなわち、層間接続部に高密度の電流を長時間にわたって流すと、層間接続部にボイドが生じ、接触抵抗の増大又は断線を招くことがある。

## 【0006】また、表面平坦化のために層間絶縁膜16

10にSOG（スピニ・オン・ガラス）等の塗布絶縁層を中间層として含ませると共にこの塗布絶縁層から水分を除去すべく熱処理を行なうと、A1又はA1合金層14bから接続孔16A内にA1ヒロック14Aが成長することがある。このようにA1ヒロック14Aが成長した状態において第2配線層18を構成する配線材をスパッタ法等により被着すると、A1ヒロック14Aの近傍で配線材の被覆性が劣化し、良好な層間接続を得るのが困難となる。

## 【0007】発明者の研究によれば、14A等のA1ヒ

20ロックは、図5に示すように第2配線層18の下方の接続孔16Aの面積に比べて第1配線層14の面積が非常に大きい（配線幅Wにして10μm以上ある）配線バターンにて発生しやすいことが判明している。また、A1ヒロックの発生は、熱処理中に広い第1配線層14上で接続孔16Aがわずかに開口している個所でA1が応力緩和し、ヒロックとして成長することによるものと考えられる。

## 【0008】なお、図3の構成において層間接続部の抵抗を低減するための他の試みとしては、スパッタ装置を

30用いて層14bとしてA1層を形成した後該スパッタ装置の真空を破らずに反応性スパッタ処理によりTiN層14cを形成する連続形成法が提案されている（例えば、信学技報Vol. 91 No. 332 SDM91-136 第37~41頁参照）。このような連続形成法を用いてA1(18)/TiN(14c)/A1(14b)構成の層間接続部を形成すると、A1(18)/A1(14b)構成の層間接続部に比べて10倍程度のスルーホール抵抗が得られる旨述べられている（前掲SDM91-136 第38頁）が、抵抗低減効果としては必ずしも十分でない。

【0009】この発明の目的は、TiNからなる反射防止膜を有する多層配線構造において、層間接続部の抵抗を大幅に低減することにある。

## 【0010】

【課題を解決するための手段】この発明による多層配線構造は、(a) 第1の絶縁膜と、(b) この第1の絶縁膜の上に形成された第1の配線層であって、A1又はA1合金層の上にTiN層を介してTiNからなる反射防止膜を形成した構成のものと、(c) 前記第1の絶縁膜及び前記第1の配線層を覆って形成され、該第1の配線

層の一部に対応した接続孔を有する第2の絶縁膜と、  
(d) この第2の絶縁膜の上に形成され、前記接続孔を介して前記第1の配線層に接続された第2の配線層とをそなえたものである。

## 【0011】

【作用】この発明の構成によれば、第1の配線層を構成するA1又はA1合金層と反射防止膜を構成するTiN層との間にTi層を形成したので、TiN層を反応性スバッタ法等により形成する際にはTi層の表面がわずかに窒化されるものの、A1又はA1合金層の表面が窒化されることはない。従って、A1又はA1合金層とTi層との間及びTi層とTiN層との間にはいずれも良好な低抵抗接觸が形成され、第1及び第2の配線層の間の層間接続部の抵抗を大幅に低減することができる。

## 【0012】

【実施例】図1は、この発明の一実施例による半導体装置の配線構造を示すもので、図3と同様の部分には同様の符号を付して詳細な説明を省略する。

【0013】シリコン等の半導体基板10の表面を覆うシリコンオキサイド等の絶縁膜12の上には、第1配線層14が形成される。第1配線層14は、一例としてパリアメタル層としてのTiN層14aと、A1又はA1合金層14bと、Ti層14dと、反射防止膜としてのTiN層14cとを順次にスバッタ法等により被着した後、これらの被着層の積層を所望の配線パターンに従ってバターニングすることによって形成される。

【0014】絶縁膜12の上には、第1配線層14を覆うように層間絶縁膜16が形成され、この絶縁膜16には周知のホトリソグラフィ処理により第1配線層14の一部に対応した接続孔16Aが形成される。そして、絶縁膜16の上には、接続孔16Aを介して第1配線層14のTiN層14cと接続されるように第2配線層18が形成される。

【0015】上記構成において、層14bを構成するA1合金としては、A1-Si、A1-Cu、A1-Si-Cu、A1-Si-Ti、A1-Pd、A1-Si-Pd等を使用可能であり、第2配線層18の材料としてはA1又はA1合金等を使用可能である。

【0016】図2は、この発明による抵抗低減効果を確認するために使用される配線抵抗測定試料の層間接続部配置を示すもので、この試料では、下方の第1配線層W<sub>1</sub>及び上方の第2配線層W<sub>2</sub>に関する層間接続部C<sub>1</sub>、C<sub>2</sub>、…C<sub>n-1</sub>、C<sub>n</sub>が直列接続された形で半導体基板の上面に配置され、層間接続部C<sub>1</sub>及びC<sub>n</sub>にそれぞれ接続された端子T<sub>1</sub>及びT<sub>n</sub>の間の電気抵抗を測定する\*

サンプル	抵抗BCR [Ω]
A	300
B	33000
C	165

サンプルBのピア抵抗をサンプルCのそれに比較する

\*ようになっている。

【0017】上下配線層間の層間接続部の抵抗（通常ピア抵抗又はスルーホール抵抗と称される）は、極めて低いので、単一の層間接続部のピア抵抗を測定するのではなく、図2に示すようにピアチェーン抵抗として測定するのが普通である。

【0018】比較のための試料としては、C<sub>1</sub>～C<sub>n</sub>の各層間接続部が図1に示すような構成の試料（サンプルAと称する）と、図1の構成からTi層14dを省略した構成の試料（図3に示した従来例相当のもので、サンプルBと称する）と、図1の構成からTiN層14a、Ti層14d及びTiN層14cを省略した構成の試料（サンプルCと称する）とを用意した。ここで、サンプルA～Cについて配線層14の具体的構成を示すと、次の（イ）～（ハ）の通りである。

## 【0019】

## （イ）サンプルA

層	組成	厚さ [nm]
14a	TiN	100
14b	A1-Si-Cu	350
14d	Ti	10
14c	TiN	50

## （ロ）サンプルB

層	組成	厚さ [nm]
14a	TiN	100
14b	A1-Si-Cu	350
14c	TiN	50

## （ハ）サンプルC

層	組成	厚さ [nm]
14b	A1-Si-Cu	600

サンプルA～Cにおいて、層14bを構成するA1-Si-Cu合金のSi含有率及びCu含有率は、それぞれ1.0 [wt%] 及び0.5 [wt%] であり、第2配線層18は、層14bと同一組成のA1-Si-Cu合金で1000 [nm] の厚さに形成され、層間接続部の数nは2000 [個] であった。なお、サンプルA及びBでは、TiN層14cを反応性スバッタ法により形成したが、サンプルBではA1合金層14bの形成に連続して（真空を破らずに）TiN層14cの形成を行なった。

【0020】サンプルA～Cについて端子T<sub>1</sub>～T<sub>n</sub>間のピアチェーン抵抗BCR及び層間接続部1個当りのピア抵抗BRとを示すと、次の通りである。

## 【0021】

## 抵抗BR [mΩ]

150
16500
83

50 と、約198倍であるのに対し、サンプルAのピア抵抗

5  
をサンプルCのそれに比較すると、約1.8倍であり、この発明によれば顕著な抵抗低減効果が得られることがわかる。

【0022】 $T_i$ 層14dの厚さが7~30[nm]の範囲で上記と同様の抵抗低減効果が得られることが確認されている。このような抵抗低減効果は、バリアメタル層14aの存否に無関係のものであり、バリアメタル層14aがなくても得られる。

【0023】上記実施例においては、第2配線層18を第1配線層14の $T_iN$ 層14cに接触させたが、接続孔16Aを形成する際のエッチングにより $T_iN$ 層14cを接続孔16Aの底部のみ除去し、第2配線層18を第1配線層14の $T_i$ 層14dに接触させるようにしてもよい。

【0024】また、表面平坦化のために層間絶縁膜16の上又は下あるいは中間にSOG等の塗布絶縁層を設けてよい。この場合、第2配線層18の形成前に塗布絶縁層から水分を除去すべく熱処理を行なっても、A1又はA1合金層14bの表面が $T_i$ 層14d乃至 $T_iN$ 層14cで覆われているので、図4で示したようなA1ヒロック14Aは発生しない。この後、第2配線層18を形成すると、低抵抗の層間接続部が得られる。 \*

## \*【0025】

【発明の効果】以上のように、この発明によれば、第1の配線層を構成するA1又はA1合金層の上に $T_i$ 層を介して $T_iN$ からなる反射防止膜を形成したので、第1及び第2配線層間の接続部の抵抗を大幅に低減可能となり、さらにはA1ヒロックの成長も阻止可能となる効果が得られるものである。

## 【図面の簡単な説明】

【図1】この発明の一実施例による半導体装置の配線構造を示す基板断面図である。

【図2】配線抵抗測定試料の層間接続部配置を示す平面図である。

【図3】従来の配線構造の一例を示す基板断面図である。

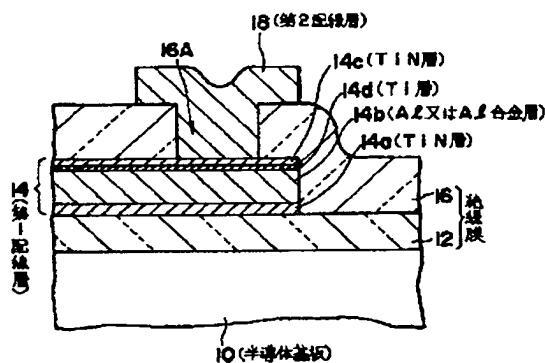
【図4】他の従来例におけるA1ヒロック発生状況を示す基板断面図である。

【図5】A1ヒロックが発生しやすい配線バターンを例示する平面図である。

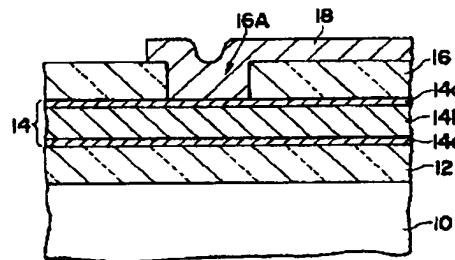
## 【符号の説明】

20 10:半導体基板、12, 16:絶縁膜、14:第1配線層、14a, 14c: $T_iN$ 層、14b:A1又はA1合金層、14d: $T_i$ 層、18:第2配線層。

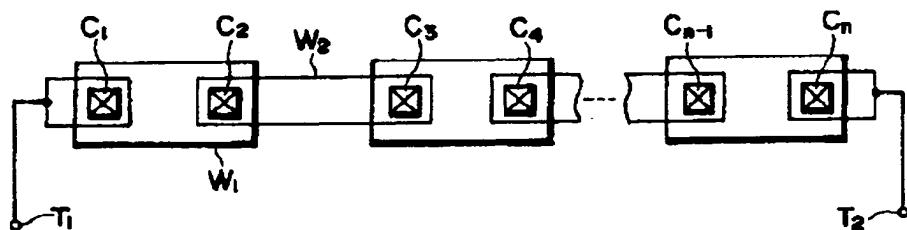
【図1】



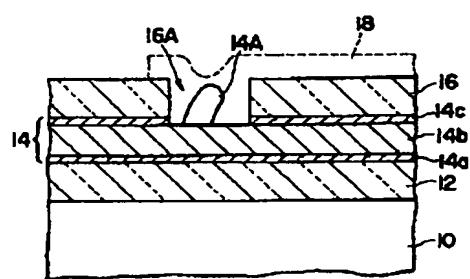
【図3】



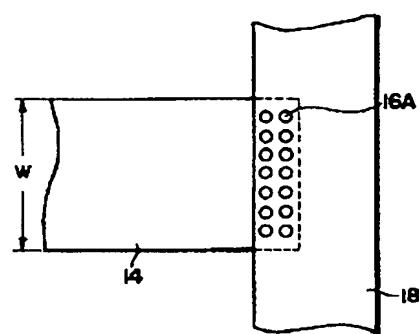
【図2】



【図4】



【図5】



**THIS PAGE BLANK (USPTO)**